

⑫ 公開特許公報(A) 平2-253232

⑬ Int. Cl.

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)10月12日

G 02 F 1/133

5 4 5

8708-2H

G 09 G 3/20

5 5 0

8708-2H

3/36

Z

6376-5C

8621-5C

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 マトリクス形表示パネルの駆動回路

⑯ 特 願 平1-73912

⑰ 出 願 平1(1989)3月28日

⑱ 発 明 者 笠 原 幸 一 神奈川県横浜市磯子区新杉田町8 株式会社東芝横浜事業
所内

⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑳ 代 理 人 弁 理 士 則 近 憲 佑 外1名

明 細 書

1. 発明の名称

マトリクス形表示パネルの駆動回路

2. 特許請求の範囲

各々複数のアドレス線および信号線により駆動されるマトリクス形表示パネルの駆動回路において、前記アドレス線を駆動するための回路がシフトレジスタと、このシフトレジスタの各段出力に入力端子の一方が各々接続された第1および第2の論理積または論理和回路群を具備するとともに、前記入力端子の他方につき前記第1および第2の論理積または論理和回路群毎に共通接続して第1および第2の制御入力端子が少なくとも設けられたことを特徴とするマトリクス形表示パネルの駆動回路。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

この発明はマトリクス形表示パネルの駆動回路に関し、特にアドレス線を駆動するための回路に

関する。

(従来の技術)

近年、ブラウン管に代ってマトリクス形表示パネルが盛んに利用されている。マトリクス形表示パネルには、液晶を用いたもの、ガス放電を用いたもの、エレクトロルミネッセンスを用いたもの等がある。中でも、低電圧駆動が可能で低消費電力、カラー化が容易等の点から液晶を用いたマトリクス形表示パネルが広く利用されるようになっている。

一般に、マトリクス形表示パネルでは、表示信号が供給される複数の信号線と、アドレス信号が供給される複数のアドレス線とを備えている。従って、これらのマトリクス形表示パネルを用いた表示装置では、多数の出力端子を有する信号線駆動回路およびアドレス線駆動回路が不可欠である。

第4図は、従来のアドレス線駆動回路を説明するための表示装置の構成図で、特公昭58-45034号公報に記載されたものである。同図において、4は各画素毎にMOSトランジスタを配置

したアクティブマトリクス形表示パネルである。
 $C_1, C_2 \dots C_m$ は表示パネルの信号線、 $R_1, R_2 \dots R_n$ は表示パネルのアドレス線である。
 信号線 $C_1, C_2 \dots C_m$ には信号線駆動回路 5 が接続されている。奇数行アドレス線 $R_1, R_3 \dots R_{n-1}$ にはアドレス線駆動回路 6 L が、また偶数行アドレス線 $R_2, R_4 \dots R_n$ にはアドレス線駆動回路 6 R が接続されている。アドレス線駆動回路 6 L, 6 R は同一回路構成をなし、集積回路素子化されている。このアドレス線駆動回路 6 L, 6 R は、シフトレジスタ 6 1 L, 6 1 R および 2 入力 NAND 回路群 6 4 L, 6 4 R を有する。6 2 L, 6 2 R はスタートパルス入力端子、6 3 L, 6 3 R はクロックパルス入力端子、6 5 L, 6 5 R は制御入力端子である。

第 4 図のアドレス線駆動回路 6 L, 6 R の特徴は、2 入力 NAND 回路群 6 4 L, 6 4 R を設けることにより、奇数行のアドレス線と偶数行のアドレス線が左右に別々に引き出された表示パネルに対し、シフトレジスタ 6 1 L, 6 1 R の段数の

無駄を省くことができることである。そして、スタートパルス入力端子 6 2 L, 6 2 R、クロックパルス入力端子 6 3 L, 6 3 R へ供給するパルス信号の変更により、表示パネル 4 の n 本のアドレス線をノン・インクレーズ走査駆動することに加え、インクレーズ走査駆動することができる。また、全てのアドレス線が一辺に引き出された表示パネルに適用してノン・インクレーズ走査駆動することもできる。

(発明が解決しようとする課題)

しかしながら、上述のアドレス線駆動回路 6 L, 6 R は、全てのアドレス線が一辺に引き出された表示パネルのインクレーズ駆動には使用不可能である。このため、全てのアドレス線が一辺に引き出された表示パネルでインクレーズ走査駆動するには、それ専用に設計された駆動用集積回路素子が必要となる。

以上のように、従来のアドレス線駆動回路では表示パネルのアドレス線引き出し方法および走査駆動方式により、専用の駆動用集積回路素子を必

要とする場合がある。特に、全てのアドレス線が一辺に引き出された表示パネルを用いた場合には、ユーザの走査駆動方式の仕様に従って 2 種類の駆動用集積回路素子を使用せざるを得ない。表示装置の製造業者にとって、ノン・インクレーズ走査駆動とインクレーズ走査駆動の両方の表示装置を作成する場合には、両者の集積回路素子が混在するという不都合も生じ易い。

この発明は、このような課題を解決するもので、表示パネルのアドレス線引き出し方法および走査駆動方式にかかわらず、すべてに対応できるマトリクス形表示パネルの駆動用集積回路素子を提供することを目的とする。

〔発明の構成〕

(課題を解決するための手段)

本発明では、各々複数のアドレス線および信号線により駆動されるマトリクス形表示パネルの駆動回路において、アドレス線を駆動するための回路がシフトレジスタと、このシフトレジスタの各段出力に入力端子の一方が各々接続された第 1 お

よび第 2 の論理積または論理和回路群を具備するとともに、入力端子の他方につき第 1 および第 2 の論理積または論理和回路群毎に共通接続して第 1 および第 2 の制御入力端子が少なくとも設けられたことを特徴とするマトリクス形表示パネルの駆動回路である。

(作 用)

アドレス線駆動回路を上述のように構成することにより、特公昭 58-45034 号公報記載のアドレス線駆動回路と同様に、アドレス線を奇数行と偶数行に別けて 2 辺に引き出された表示パネルにも適用してインクレーズ走査駆動およびノン・インクレーズ走査駆動を行なうことができる。更に、アドレス線が全て一辺に引き出された表示パネルに対してもノン・インクレーズ走査駆動のみならずインクレーズ走査駆動を行なうことができる。

このため、表示パネルのアドレス線引き出し方法および走査駆動方式にかかわらず、1 種の駆動回路ですべてに対応できるマトリクス形表示パネ

ルの駆動用集積回路が実現できる。

(実施例)

第1図は本発明に係る駆動回路の実施例を説明するための構成図で、全てのアドレス線が1辺に引き出された表示パネルの駆動に適用した場合を示す。

図において、1はアクティブマトリクス形液晶表示パネルを示し、C1, C2 …… C_nは表示パネルの信号線、R1, R2 …… R_nはアドレス線を示す。この表示パネル1では、アドレス線R1, R2 …… R_nが表示パネルの1辺に引き出されている。なお、表示パネル1は、周知のアクティブマトリクス形液晶表示パネルと同様の構成であり、詳細な説明は省略するが、基本的な構成としては、一方の基板に信号線C1, C2 …… C_nとアドレス線R1, R2 …… R_nが交差するように形成され、その交差部に薄膜トランジスタを介して画素電極が配置され、また他方の基板には共通電極が形成され、両基板間に液晶組成物を挟持してなる。

表示パネル1の信号線C1, C2 …… C_nには

パルスが発生せしめる。これらのパルスはシフトレジスタ31の各段の出力に多対応して設けられた第1の論理積回路群34および第2の論理積回路群35の各回路の一方の入力端子に各々供給される。第1の論理積回路群34の各回路の他方の入力端子には端子36より制御パルスcが供給され、第2の論理積回路群35の各回路の他方の入力端子には端子37より制御パルスdが供給される。

即ち、奇数フィールドTfoの走査時には、端子36に輸入される制御パルスcにより第1の論理積回路群34が選択、端子37に輸入される制御パルスdにより第2の論理積回路群35が非選択となり、表示パネル1の奇数行のアドレス線R1, R3 …… R_{n-1}には、第1の論理積回路群34よりr1, r3 …… r_{n-1}に示す駆動パルスが供給されて、奇数フィールドTfoの走査が行われる。続いて、偶数フィールドTfeの走査時には、端子36に輸入される制御パルスcにより第1の論理積回路群34が非選択、端子37に輸入される制

信号線駆動回路2が、またアドレス線R1, R2 …… R_nにはアドレス線駆動回路3が接続されている。

アドレス線駆動回路3は、シフトレジスタおよびゲート群を有している。即ち、シフトレジスタ31、第1の論理積(AND)回路群34、第2の論理積(AND)回路群35を有する。尚、32はスタートパルス入力端子、33はクロックパルス入力端子、Q1, Q2 …… Q_kはシフトレジスタ31の格段の出力端子、また36, 37は第1の論理積(AND)回路群34、第2の論理積(AND)回路群35の制御入力端子である。

第2図は、第1図のアドレス線駆動回路3の動作を説明するための波形図で、表示パネル1のアドレス線R1, R2 …… R_nをインクレースイタス走査駆動する場合を示している。

即ち、シフトレジスタ31は、端子32に輸入されるスタートパルスaを、端子33に輸入されるクロックパルスbで順次シフトさせ、その出力端子Q1, Q2 …… Q_kにq1, q2 …… q_kの

制御パルスdにより第2の論理積回路群35が選択となり、表示パネル1の偶数行のアドレス線R2, R4 …… R_nには、第2の論理積回路群35よりr2, r4 …… r_nに示す駆動パルスが供給されて、偶数フィールドTfeの走査が行われる。この様にして、全てのアドレス線が走査され、2:1インクレースイタス駆動方式によるフレームTf走査が達成される。尚、第1, 第2の論理積回路群34, 35に与えられる制御パルスc, dの代わりに、eおよびfに示す制御パルスを用いてもよい。

次に、表示パネルをノン・インクレースイタス走査駆動する場合を、第3図に示す波形図を参照して説明する。

即ち、aおよびbは、シフトレジスタ31の端子32, 33に供給されるスタートパルスおよびクロックパルスである。q1, q2 …… q_kは、この時シフトレジスタ31の各段の出力端子Q1, Q2 …… Q_kに得られるパルス信号である。cおよびdは第1, 第2の論理積回路群34, 35の端子36および37に供給される制御パルスであ

る。シフトレジスタ31の各段出力パルス q_1, q_2, \dots, q_k のオン期間に、制御パルス c, d により第1, 第2の論理積回路群34, 35が交互に選択、非選択となり、表示パネル1のアドレス線 R_1, R_2, \dots, R_n には第1, 第2の論理積回路群34, 35より、 r_1, r_2, \dots, r_n に示す駆動パルスが順次供給され、ノン・インタレース走査駆動によるフレームT_i走査が行われる。

尚、第3図に示した制御パルス c および d の代わりに、クロックパルス b およびこれと逆相のパルスを用いても良い。

以上のように、本発明のアドレス線駆動回路によれば、アドレス線が一辺に引き出された表示パネルに対してインタレース走査駆動、ノン・インタレース走査駆動のいずれにも適用させることができる。

また本発明のアドレス線駆動回路は、第4図に示すように、奇数行と偶数行のアドレス線が左右2辺に引き出された表示パネルに対しても用いることができる。即ち、全てのアドレス線が一辺に

引き出された表示パネルのアドレス線を順次選択してノン・インタレース走査駆動できることから明らかなように、端子32, 33, 36および37に入力するパルス信号の選択により、奇数行と偶数行のアドレス線が左右2辺に引き出された表示パネルに対してもインタレース走査駆動、ノン・インタレース走査駆動を容易に行なうことができる。

本実施例ではシフトレジスタと論理積回路群で構成されるものについて説明したが、論理の反転により、論理積回路群の代わりに論理和回路群を用いて構成することもできる。また本実施例では論理積(ANDゲート)回路の出力で直接アドレス線を駆動する如くに図示したが、NANDゲートとインバーティング・バッファの組み合わせでも良いし、レベル変換回路やスイッチ回路を付加することもできる。

〔発明の効果〕

本発明によれば、表示パネルのアドレス線引き出し方法およびインタレース、ノン・インタレー

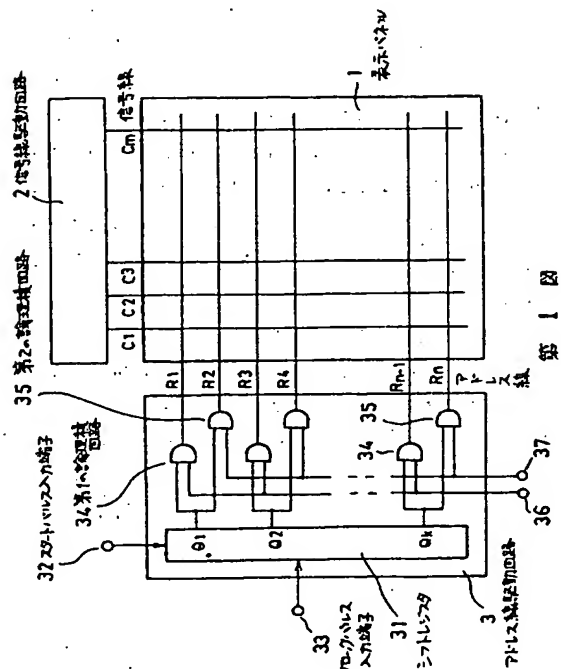
ス走査方式にかかわらず、すべてに対応できるマトリクス形表示パネルの駆動用集積回路を提供することができる。

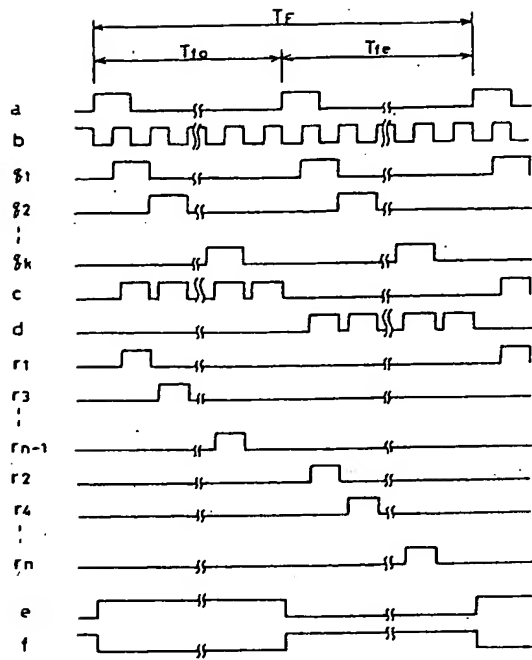
これにより、1種類の駆動用集積回路素子で全てに対応でき、駆動用集積回路素子の益座効果も高まり、安価にマトリクス形表示装置を提供することが可能になる。更には、ノン・インタレース走査駆動とインタレース走査駆動の両方の表示装置を作成する場合でも、駆動用集積回路素子が混在して誤使用による不良の発生という問題も解消される。

4. 図面の簡単な説明

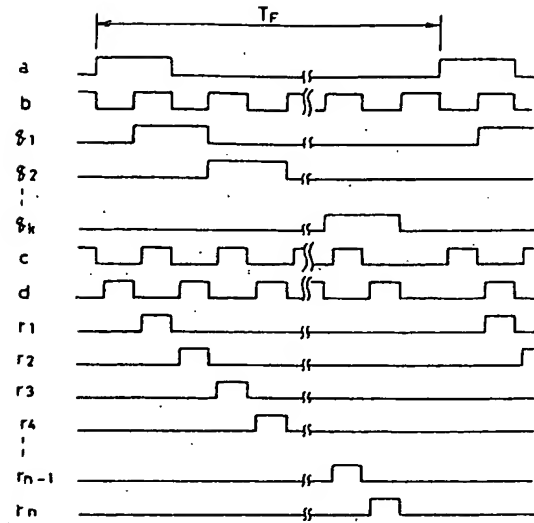
第1図は本発明の実施例の駆動回路を説明するための構成図、第2図は第1図の駆動回路をインタレース走査駆動させる場合の波形図、第3図は第1図の駆動回路をノン・インタレース走査駆動させる場合の波形図、第4図は従来の駆動回路を説明するための構成図である。

代理人 弁理士 則 近 憲 佑
同 竹 花 忍 久 男

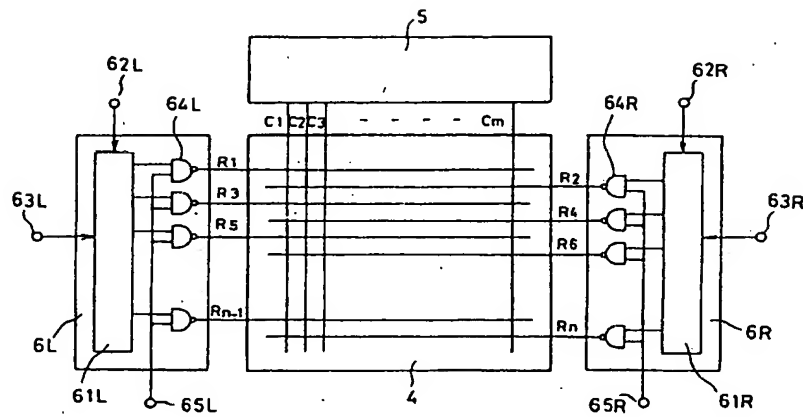




第 2 図



第 3 図



第 4 図